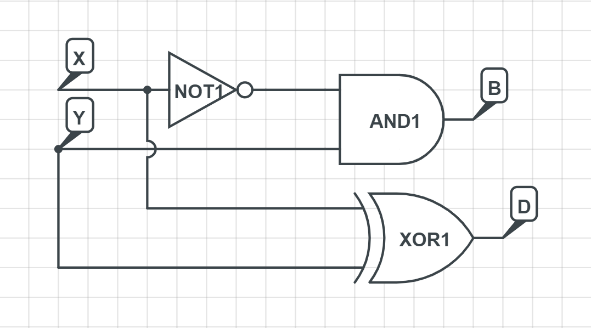
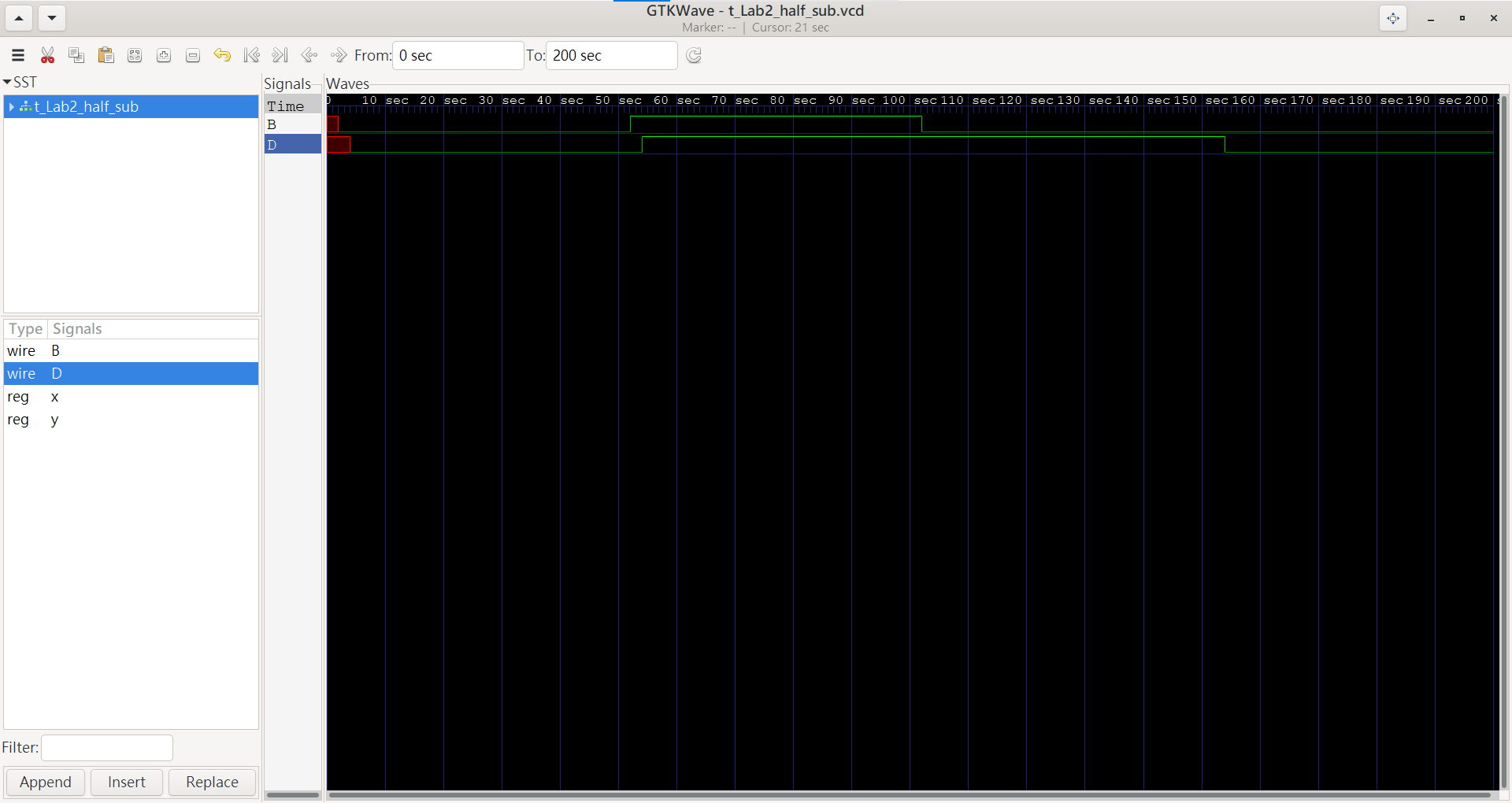
|  |  |  |  |
| --- | --- | --- | --- |
| X | Y | B | D |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 |

1. 半減器真值表：

布林代數式：B=X’Y D=X xor Y

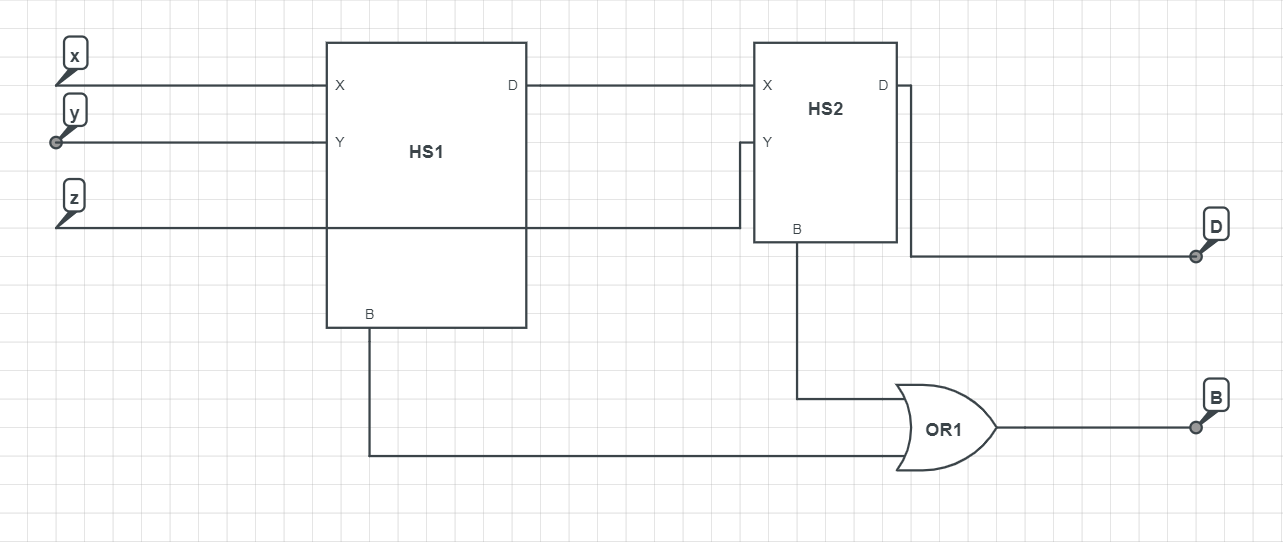
邏輯電路圖：

波形圖：

波形圖顯示結果與真值表相符

Propagation delay: B:2 time units D:4 time units

1. 以第一個半減器輸出的D拿到第二個半減器去當被減數，減出來的D就會變成全減器的D，而第一個半減器輸出的B和第二個半減器輸出的B做or可以得到全減器有沒有借位，也就是全減器的B。

電路方塊圖：

一張含有 文字 的圖片

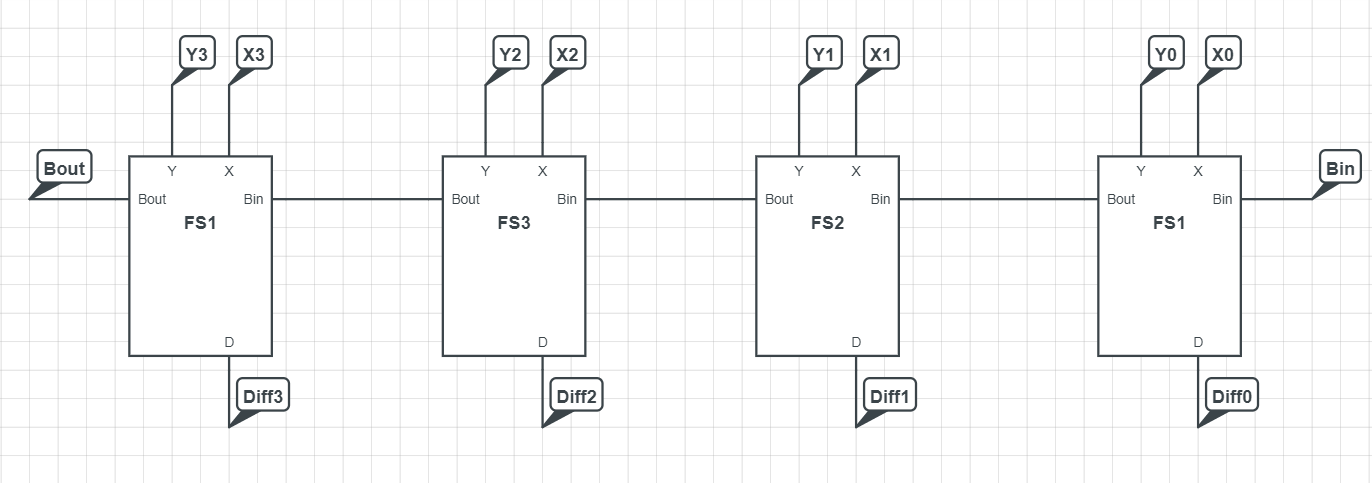
自動產生的描述波形圖：

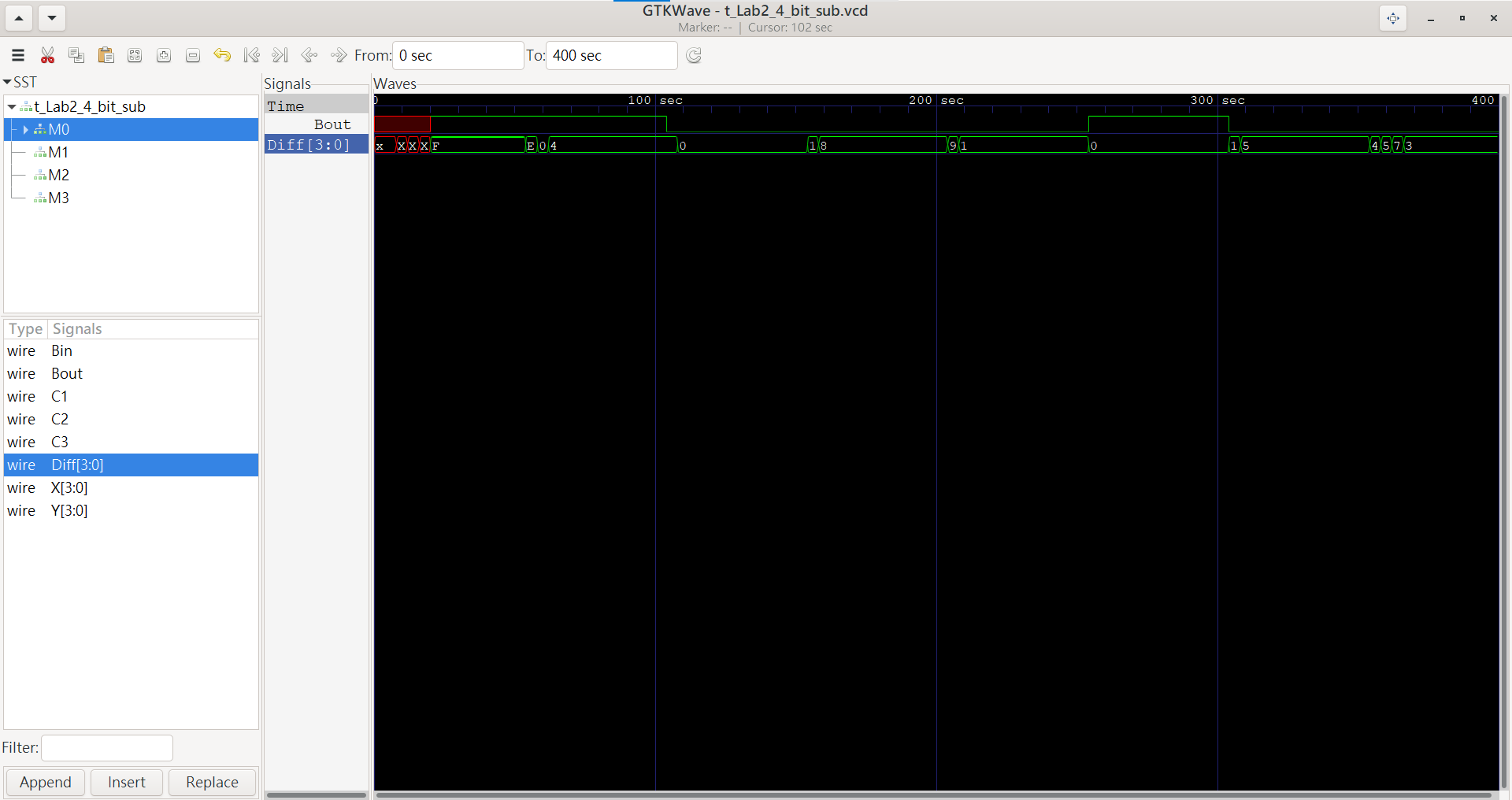
波形圖顯示結果與真值表相符

Propagation delay: B:4 time units D:8 time units

1. 將4個全減器串在一起，每個全減器的輸出D依序為D0、D1、D2、D3，而輸出B將成為下一個全減器的Bin，最後一個全減器的輸出B將會成為Bout。

電路方塊圖：



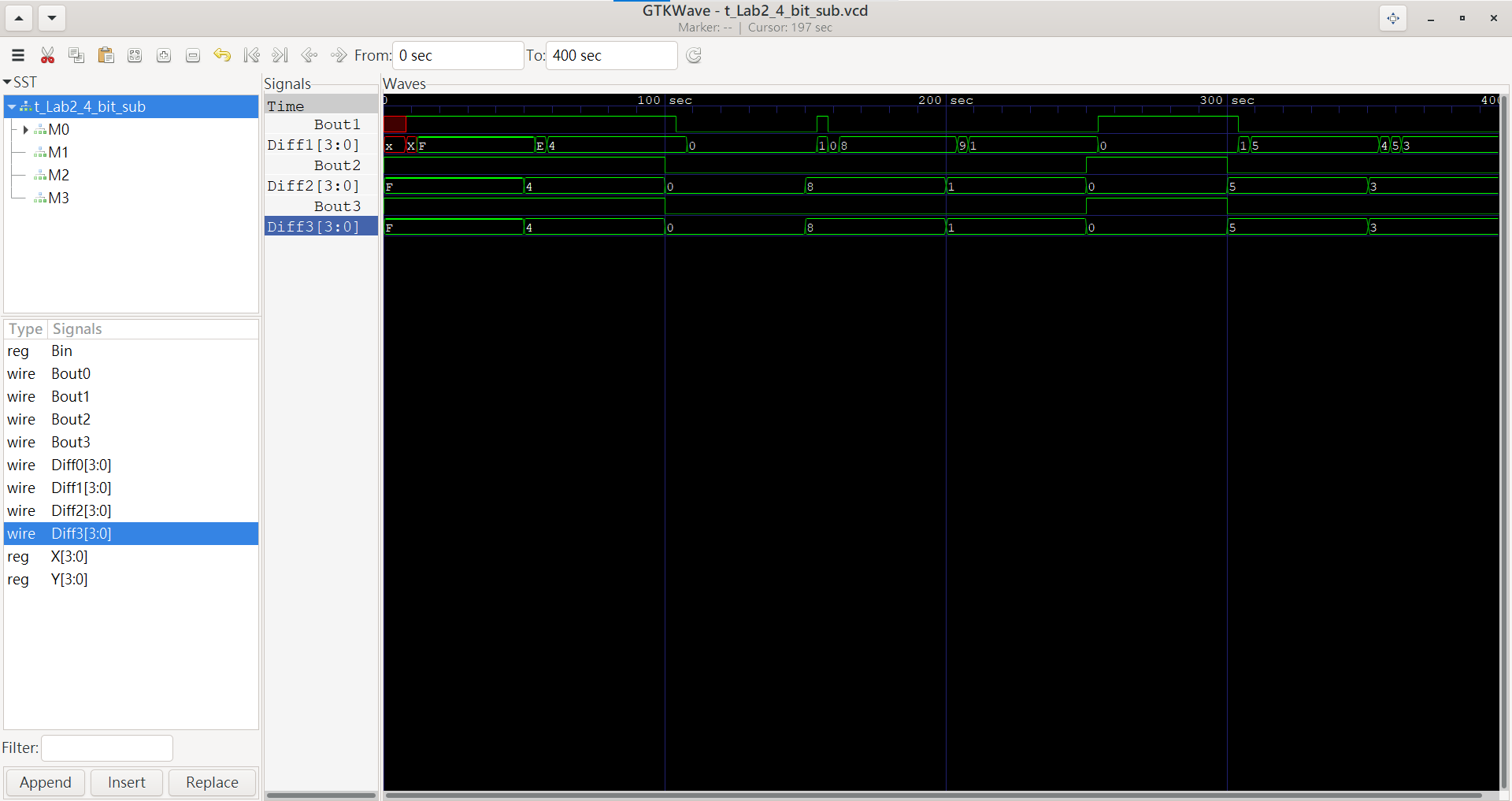
波形圖：

波形圖顯示結果與真值表相符

Propagation delay: Bout:20 time units D:20 time units

1. 每個Bin不須等到上一個全減器的Bout做完就可以得到值，所以可以減少propagation delay

布林代數式：Pi = Xi xor Yi Gi = Xi’Yi Bi+1 = Gi + Pi’Bi Di = Pi xor Bi

波形圖：

1:gatelevel 2:dataflow 3:behavior

因為gatelevel有propagation delay 但是在沒有delay時的輸出值三者是相同的，因此波形圖是正確的。

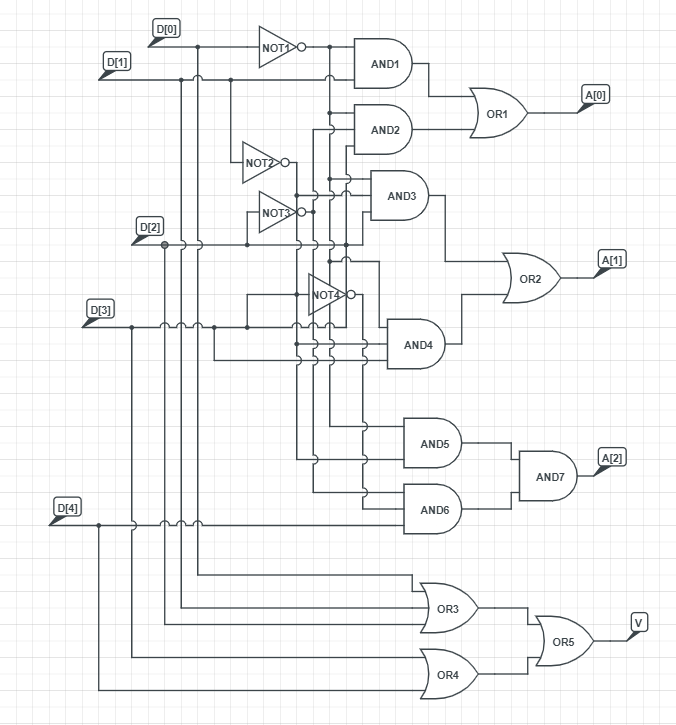
Gate-level modeling 的 propagation delay : Bout:8 time units D:12 time units

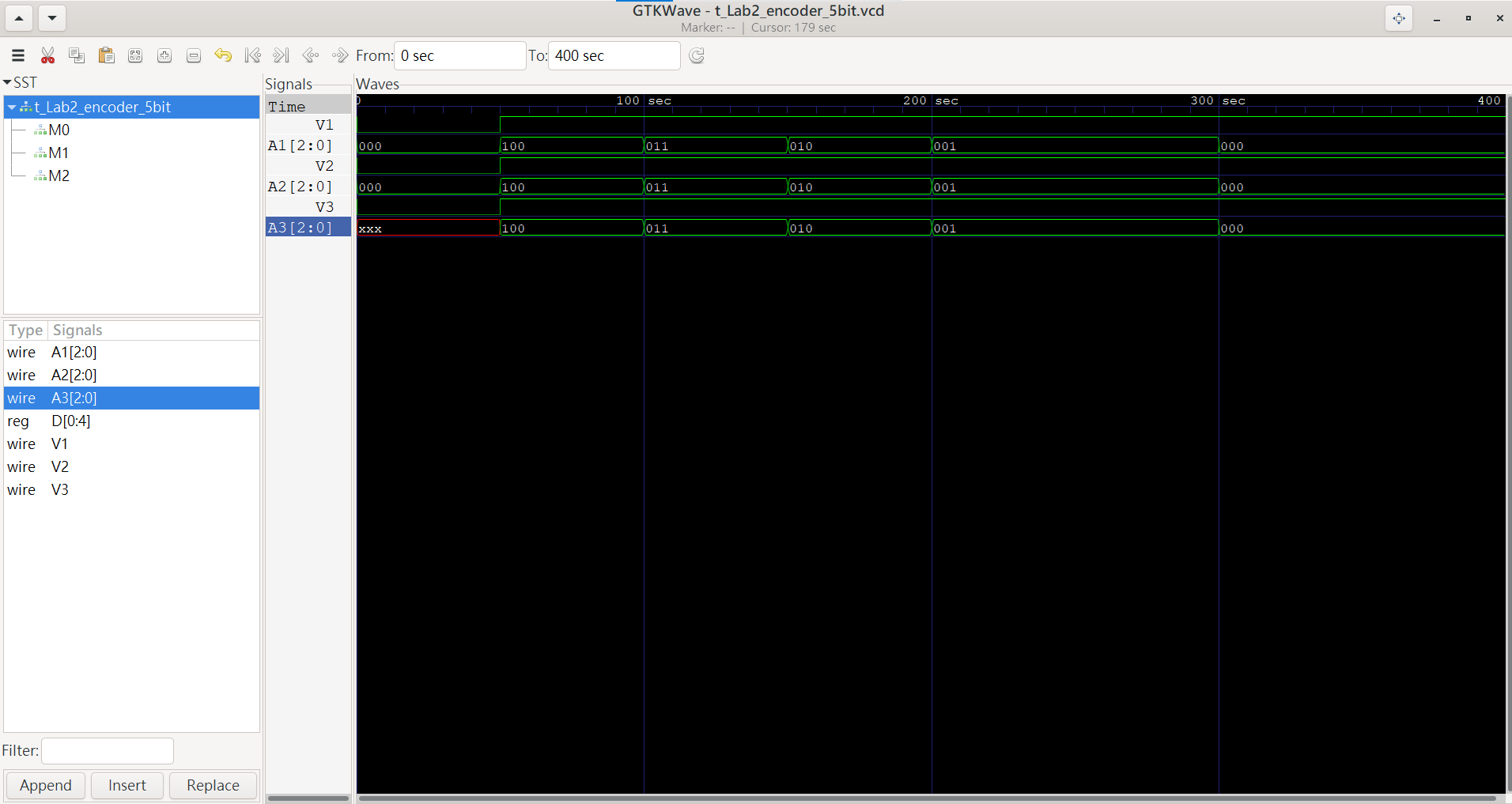
1. 因為是低位順序優先，所以從最小的開始判斷，如果有，其他就don’t care，如果全部都沒有的話V就是0，反之為1。

A[0] = D[0]’D[1]+D[0]’D[2]’D[3] A[1] = D[0]’D[1]’D[2]+ D[0]’D[1]’D[3]

A[2] = D[0]’D[1]’D[2]’D[3]’D[4]

電路方塊圖：



波形圖：

1:gatelevel 2:dataflow 3:behavior

除了V=0時gatelevel和dataflow會不定、behavior會顯示don’t care外，三者的波形圖結果一樣，故結果正確。

1. 這次的lab感覺比上次複雜，尤其是畫電路方塊圖要花更多時間，還有gatelevel modeling 只要寫錯就很難找錯的地方，需要debug很久。